

# Programovatelná pole

Název školy: SPŠ Ústí nad Labem, středisko Resslerova

Autor: Ing. Pavel Votrubec

Název: VY\_32\_INOVACE\_03\_CIT\_48\_Programovatelná\_logická\_pole

Téma: Základní informace o programovatelných log. polích

Číslo projektu: CZ.1.07/1.5.00/34.10.1036



evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdelávání  
pro konkurenceschopnost

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

# Programovatelná logická pole

PLD (zkratka Programmable Logic Device)

- Jednoduchá PLD (SPLD)
- Komplexní PLD (CPLD)
- Hradlová PLD (FPGA)
- Specifické zákaznické PLD (ASIC)

Přední výrobci výrobci PLD obvodů:

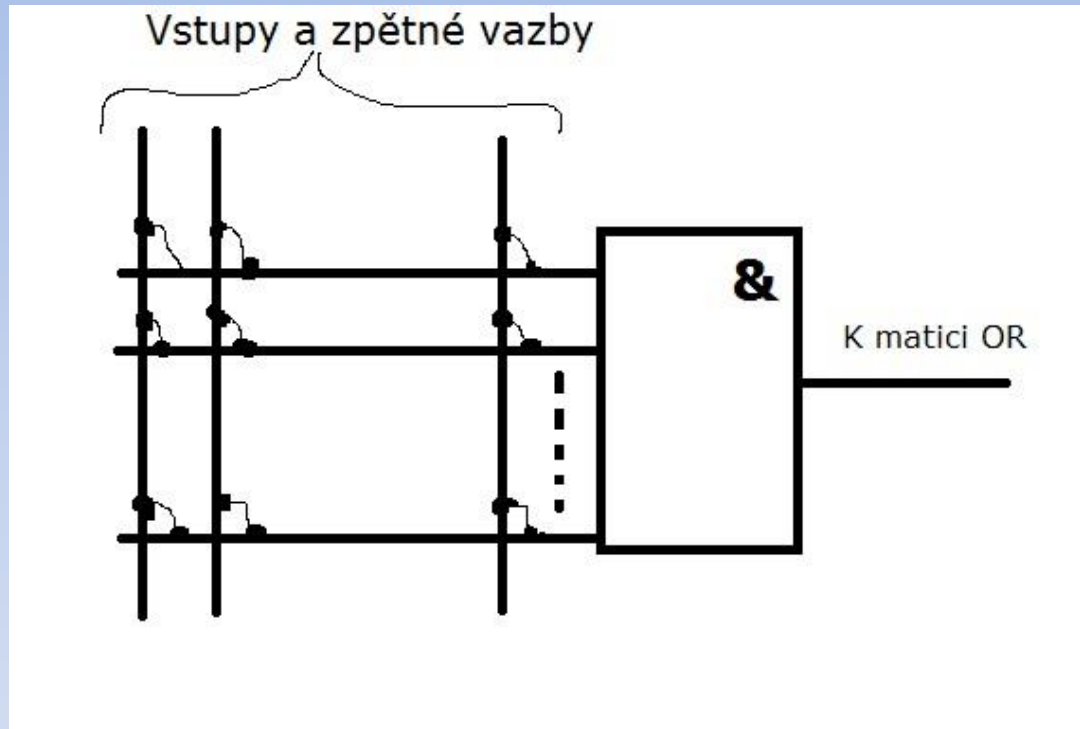
Xillinx – <http://www.xillinx.com> (CPLD, FPGA)

Altera – <http://www.altera.com> (CPLD, FPGA, ASIC)

Lattice semiconductor – <http://www.latticesemi.com> (SPLD, CPLD, FPGA)

# Jednoduchá PLD

## 1. základní prvek PLD ... programovatelná matice AND



Skládá se z logického prvku AND do něhož vstupují přes programově přepalitelné propojky ( technologické typy: ROM, PROM, EPROM a EEPROM) :

- 1) Signály od vstupů „pin“
- 2) Signály od zpětné vazby výstupních klopných obvodů „D“

První typy PLD z paměti PROM, typy GAL a PALCE

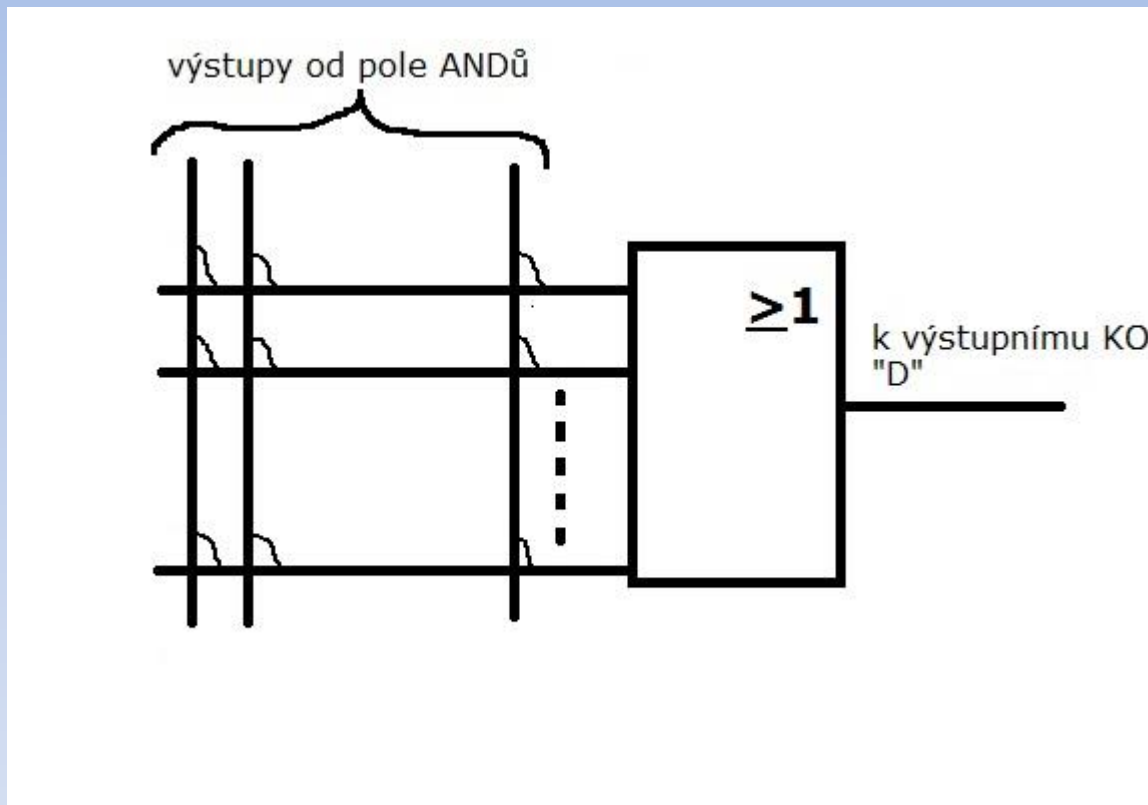
# Jednoduchá PLD

Technologické typy:

- ROM vypálené z výroby
- PROM programovatelné. Nemazatelné.
- EPROM programovatelné a mazatelné UV zářením
- EEPROM programovatelné a mazatelné elektronicky

# Jednoduchá PLD

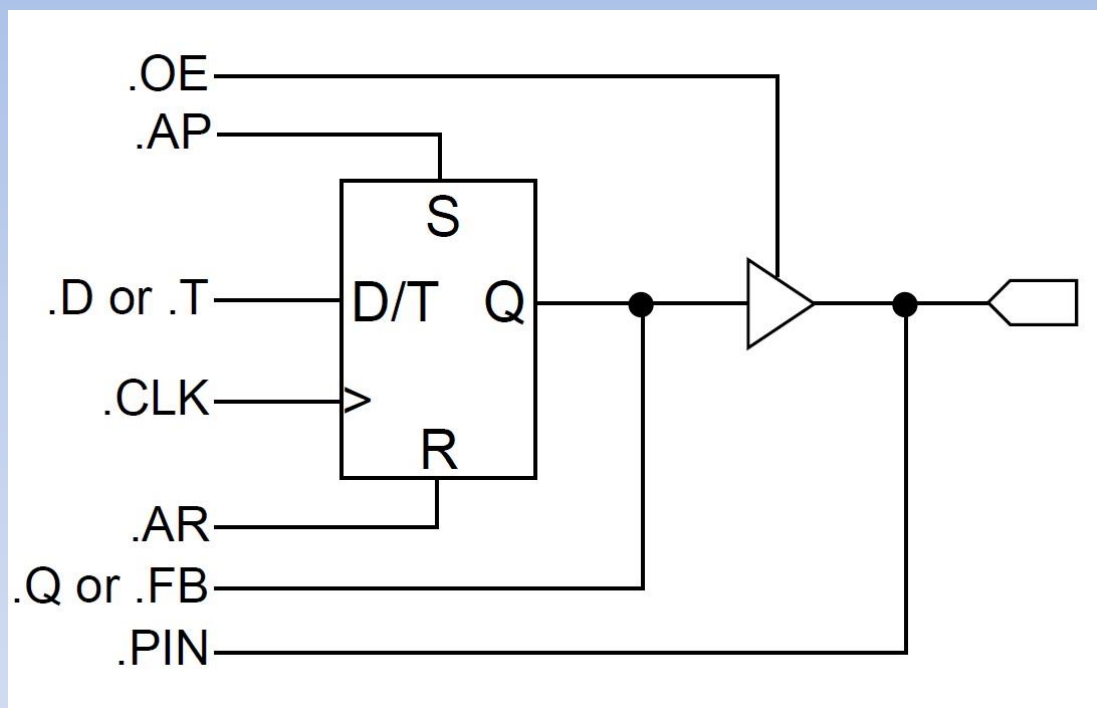
## 2. základní prvek PLD ... matice OR



PAL (Programmable Array Logic) nemají přepalitelné propojky v tomto poli ORů a neměly klopné obvody D (typy GAL, PALCE a PAL)  
PLA (Programmable Logic Array) mají tuto obecnější strukturu s přepalitelnými propojkami u OR a výstupní obvody D

# Jednoduchá PLD

## 3. základní prvek PLD ... výstupní KO „D“

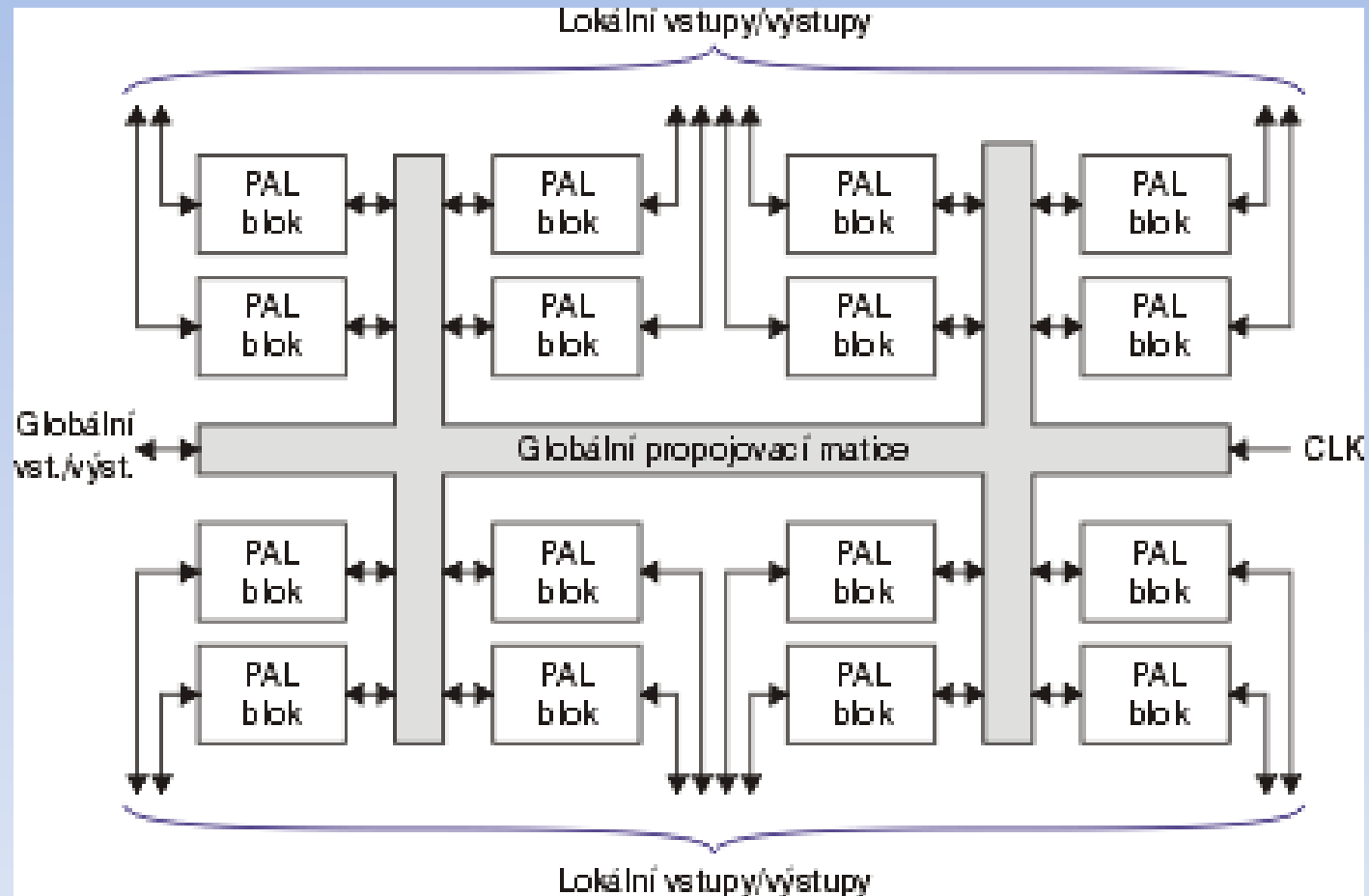


- .OE – output enable
- .AP – asynchronní set
- .D – vstup KO „D“
- .T – vstup KO „T“
- .CLK – signál clock
- .AR – asynchronní reset
- .Q – výstup KO
- .PIN – výstup na pin

Označení „.XXX“ je vždy příslušná syntaxe řídicího HW signálu definovaného v programovém prostředí (konkrétně pro jazyk ABEL).

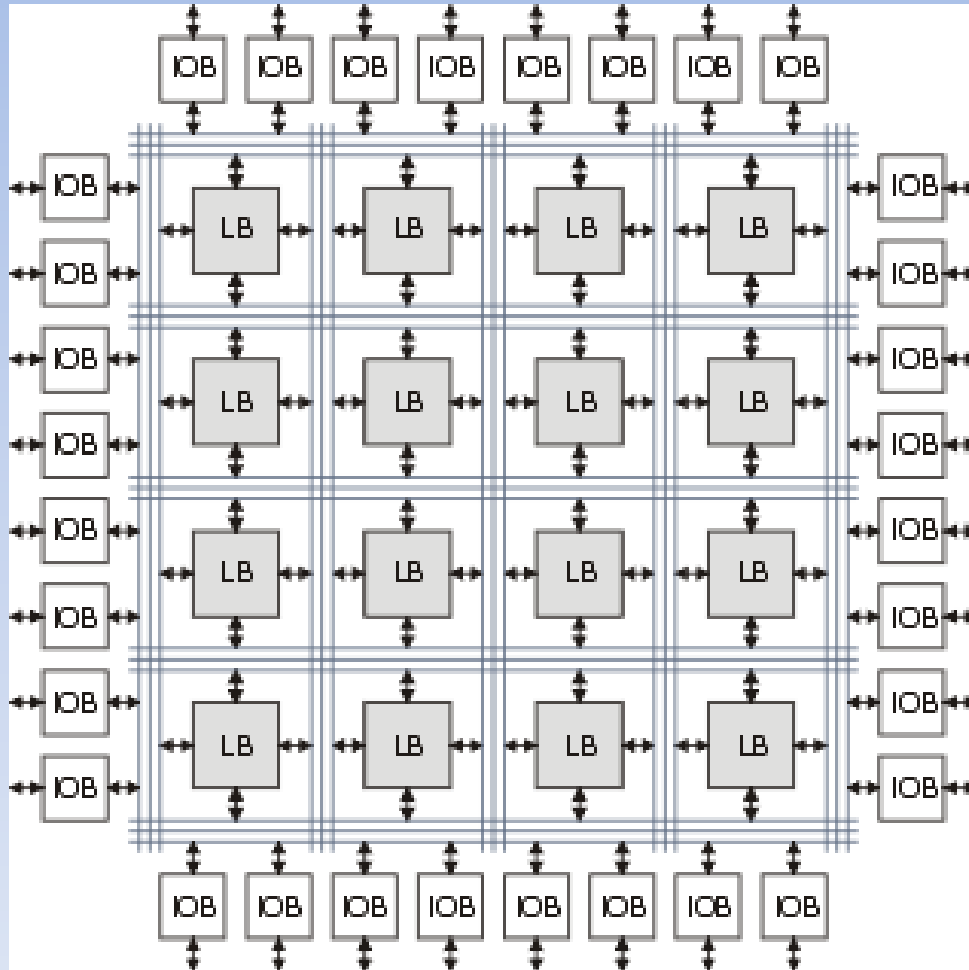
# CPLD

## Complex Programmable Logic Device



# FPGA

## Field Programmable Gate Arrays



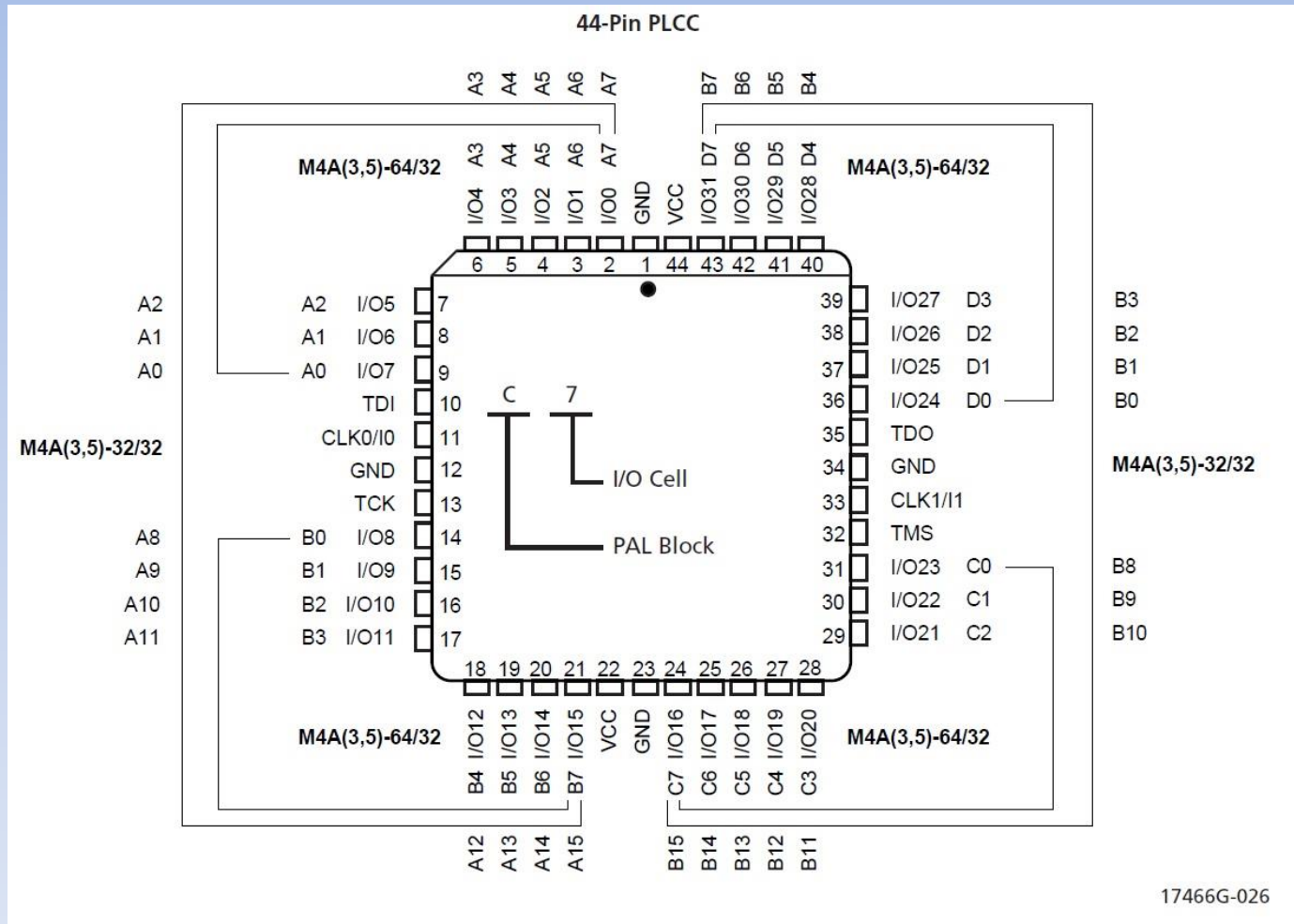
Bloky označené IOB (Input/Output Block) představují vstupně-výstupní obvody pro každý v-v pin FPGA. Tyto bloky obvykle obsahují registr, budič, multiplexer a ochranné obvody.

Bloky LB (Logic Block) představují vlastní programovatelné logické bloky.



# Příklad konkrétního PLD fy.LATTICE

## M4A5-32/32 náhrada

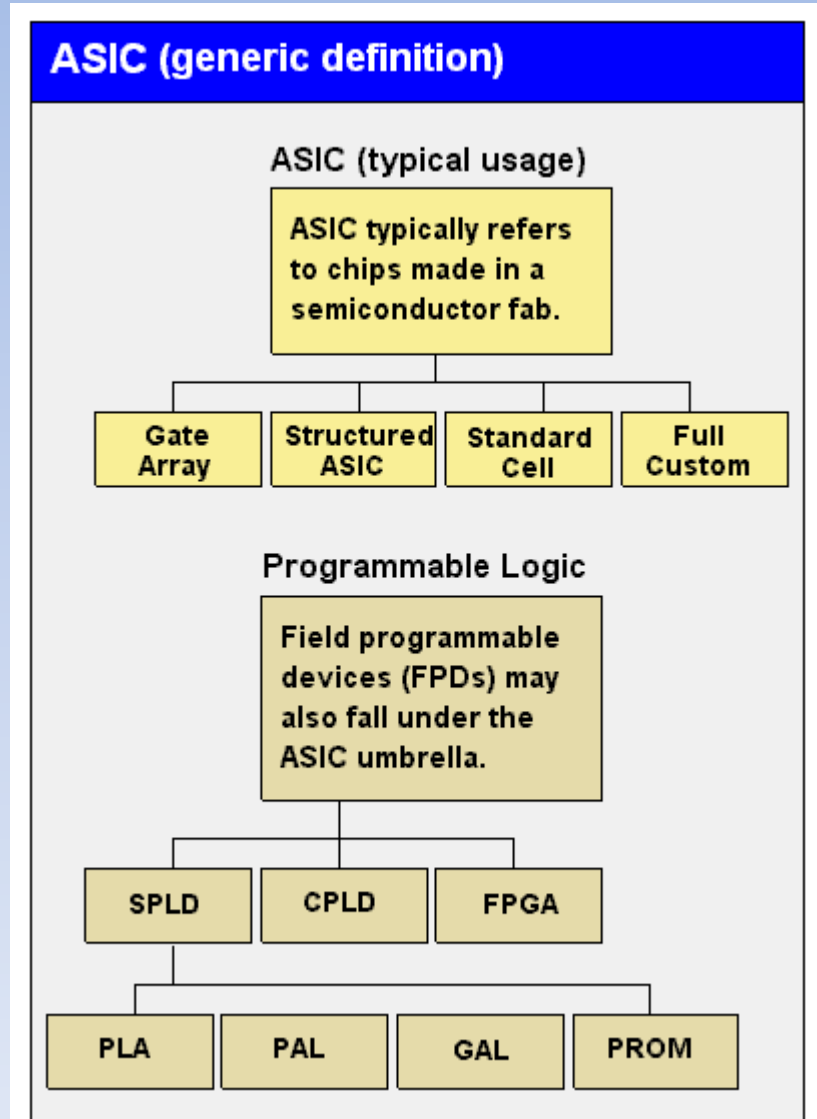


# ASIC

## Zákaznické PLD

- Vychází ze struktury FPGA a nebo CPLD
- Z výroby už předem napevno naprogramovaný podle zadání zákazníka
- Využívají se pro sériově vyráběné zařízení

Zdroj: **The ASIC Family** PLDs fall under the most generic definition of application specific ICs (ASICs). (Diagram courtesy of Clive Maxfield, [www.techbites.com](http://www.techbites.com))



# Programovací jazyky PLD

- **ABEL** – jeden z prvních programovacích jazyků PLD (Advanced Boolean Equations Language) firmy „DATA I/O“.
- **VHDL** - globálně strukturální programovací jazyk – {VHSIC Hardware Description Language (česky: *jazyk pro popis hardware*)} {zkratka „VHSIC“ - Very-High-Speed Integrated Circuit (česky *velmi rychlé integrované obvody*)}
- **Verilog** - je hardwarový popisový jazyk (HDL) pro modelování elektronických systémů

***Pracoviště: PC, programovací prostředí a příslušné HW (prg. kabel a vývojová pracovní deska s PLD)***

# Příklad postupu programování FPGA

Napsání programu logického výrazu ve vývojovém prostředí VHDL

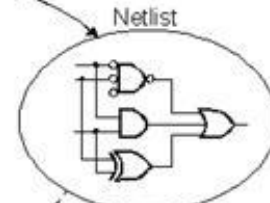
VHDL Source Code

```
entity leddcd is
port(
d: in std_logic_vector(3 downto 0);
s: out std_logic_vector(6 downto 0);
);
end;

architecture leddcd_arch of leddcd is
begin
s <= "1110111" when d="0000" else
"0010010" when d="0001" else
"1101101";
end leddcd_arch;
```

Synthesize

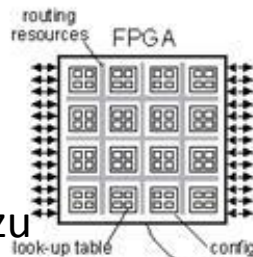
Netlist



Popsaná struktura logického výrazu ve formě funkčního schématu a použitých součástek

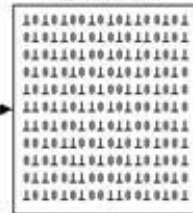
Vybrání HW konkrétního použitého PLD, testování a simulace logického výrazu

Map, Place & Route



Generate Bitstream

Bitstream



Generace programu ve formě binárního souboru pro PLD

Upload binárního souboru do HW vývojové desky s PLD a konečné testování funkčnosti

Download and Test

